

**BỘ GIÁO DỤC VÀ ĐÀO TẠO BỘ KHOA HỌC VÀ CÔNG NGHỆ
VIỆN NĂNG LƯỢNG NGUYÊN TỬ VIỆT NAM**

Đặng Lành

**NGHIÊN CỨU, XÂY DỰNG HỆ THIẾT BỊ THU NHẬN
VÀ XỬ LÝ SỐ LIỆU DỰA TRÊN KỸ THUẬT DSP QUA
ỨNG DỤNG FPGA PHỤC VỤ NGHIÊN CỨU VẬT LÝ
HẠT NHÂN THỰC NGHIỆM**

Chuyên ngành: Vật lý nguyên tử

Mã số: 62.44.01.06

TÓM TẮT LUẬN ÁN TIẾN SĨ VẬT LÝ

Đà Lạt, 2013

Công trình được hoàn thành tại **Viện Nghiên cứu hạt nhân**, Viện Năng lượng nguyên tử Việt Nam.

Người hướng dẫn khoa học: **PGS TS Nguyễn Nhị Điền**

Phản biện 1:

Phản biện 2:

Phản biện 3:

Luận án sẽ được bảo vệ trước Hội đồng chấm luận án cấp Viện họp tại:

.....
.....

Vào lúc giờ ngày tháng năm

Có thể tìm hiểu luận án tại thư viện:

.....
.....
.....

MỞ ĐẦU

Thiết bị điện tử hạt nhân trên cơ sở áp dụng các linh kiện điện tử mạch tích hợp mảng các phần tử logic lập trình được (FPGA) và kỹ thuật xử lý tín hiệu số (DSP) là một trong những hướng phát triển mới để xây dựng các hệ thực nghiệm nghiên cứu vật lý hạt nhân và ứng dụng của kỹ thuật hạt nhân đáp ứng những yêu cầu ngày càng cao về độ chính xác của các phép ghi-đo bức xạ ion hóa. Ưu điểm nổi bật của kỹ thuật DSP và công nghệ FPGA là khả năng nâng cao chất lượng trong các thực nghiệm ghi-đo bức xạ hạt nhân, giảm thiểu số lượng các khối điện tử và giảm kinh phí đầu tư. Bên cạnh đó, các hệ thống thiết bị trên cơ sở DSP và FPGA có công suất tiêu thụ thấp nên tiết kiệm năng lượng, điều này đặc biệt quan trọng khi xây dựng hệ thống thiết bị lớn. Với những ưu điểm vừa đề cập ở trên, các nghiên cứu áp dụng công nghệ FPGA và kỹ thuật DSP trong các nghiên cứu chế tạo thiết bị ghi-đo bức xạ là rất cần thiết. Tuy nhiên, cho đến những năm gần đây các nghiên cứu áp dụng kỹ thuật DSP và công nghệ FPGA ở trong nước nói chung và tại Viện Nghiên cứu hạt nhân (NCHN) nói riêng còn rất khiêm tốn.

Mặc dù có thể trang bị các thiết bị theo công nghệ tích hợp tiên tiến nêu trên bằng cách nhập khẩu sản phẩm từ nước ngoài, song việc tự nghiên cứu phát triển nhằm từng bước nội địa hóa các hệ điện tử chuyên dụng đã hoặc chưa có thương mại hóa là nhu cầu thực tế. Vì những lý do đã trình bày ở trên, vấn đề “Nghiên cứu, xây dựng hệ thiết bị thu nhận và xử lý số liệu dựa trên DSP qua ứng dụng FPGA phục vụ nghiên cứu vật lý hạt nhân thực nghiệm” đã được chọn làm đề tài luận án của nghiên cứu sinh. Các mục tiêu cụ thể đã được xác định trong luận án là nghiên cứu, thiết kế-chế tạo một số khối điện tử phục vụ thí nghiệm đo đếm bức xạ hạt nhân trên các kênh ngang của Lò phản ứng hạt nhân Đà Lạt, bao gồm: 1) Nghiên cứu ứng dụng dòng FPGA đặc thù EPM7160E để thiết kế, chế tạo khối FPGA-MCA8K dùng phương pháp liên kết cổng logic trong môi trường Max+PlusII; 2) Thiết kế, chế tạo khối DSP-MCA1K và khối DSP-MCA8K

dựa trên DSP qua ứng dụng dòng FPGA XC3S400 và XC3S500 trong môi trường ISE; 3) Phát triển phần mềm logic hóa các thuật toán xử lý tín hiệu số bằng VHDL dùng cho các khối thiết bị được thiết kế-chế tạo; 4) Phát triển phần mềm ghi-đo và xử lý phổ trên nền Windows XP bằng ngôn ngữ VC++ và LabView, kể cả trình vi điều khiển cho μC .

Các nội dung nghiên cứu chính đã được thực hiện trong luận án bao gồm:

- Phân tích tổng quan về quá trình phát triển hệ phổ kế đa kênh và hệ phổ kế trùng phùng ở trong và ngoài nước.
- Nghiên cứu phương pháp khử tích chập trong cửa sổ động (MWD) để thiết kế, chế tạo hệ phổ kế đa kênh kỹ thuật số.
- Tiến hành thực nghiệm thiết kế, chế tạo các khối điện tử và thử nghiệm thực tế các khối điện tử đã chế tạo trên dòng neutron tại kênh ngang Lò phản ứng hạt nhân cũng như với một số nguồn đồng vị chuẩn.

Nhằm thực hiện các nội dung chính vừa nêu, các phương pháp và kỹ thuật được ứng dụng để có được các mục tiêu cụ thể là:

- Phương pháp thang trượt chuẩn và kỹ thuật thang bổ chính độ rộng kênh để phát triển thành phần biến đổi tương tự-số trong các khối ADC và MCA.
- Phương pháp thiết kế mạch điện tử bằng kiểu lập trình kết nối mạch tích hợp FPGA và kiểu lập trình điều khiển phần cứng bằng ngôn ngữ VHDL.
- Kỹ thuật lập trình Windows bằng ngôn ngữ hướng đối tượng C++ và LabView để phát triển chương trình điều khiển thu nhận dữ liệu và xử lý phổ.
- Phương pháp xử lý số liệu thực nghiệm nhằm xác định các đại lượng vật lý trong phổ và đặc trưng kỹ thuật của hệ thiết bị dùng trong ghi-đo bức xạ ion hóa gồm: thuật toán khớp đỉnh đơn với phân bố Gauss bằng phương pháp bình phương tối thiểu, tính diện tích và phương sai của đỉnh hấp thụ toàn phần bằng phương pháp thực nghiệm của ORTEC và Genie-2000, định

chuẩn năng lượng bằng phép hồi quy bậc hai, tính độ phân giải đỉnh quang qua độ lệch chuẩn của đỉnh, tính các độ phi tuyến vi-tích phân (DNL-INL) của hệ thống dùng thuật toán hồi quy tuyến tính cùng các tham số đặc trưng kỹ thuật khác của hệ thiết bị được chế tạo.

Luận án gồm hai phần chính: phần tổng quan và phần nghiên cứu. Phần tổng quan trình bày và phân tích tình hình nghiên cứu phát triển thiết bị điện tử hạt nhân ở trong và ngoài nước, liên quan đến mục tiêu và nội dung của luận án. Phần nghiên cứu trình bày các nội dung nghiên cứu về phương pháp, thực nghiệm và kết quả của luận án. Nội dung của luận án được trình bày trong ba chương. Chương 1 trình bày tổng quan về quá trình phát triển hệ phổ kế đa kênh và hệ phổ kế trùng phùng ở trong nước và trên thế giới, trong đó tập trung phân tích các hướng nghiên cứu liên quan đến mục tiêu và nội dung của luận án; trình bày các phương pháp, kỹ thuật được sử dụng trong luận án, đặc biệt là phương pháp khử tích chập trong cửa sổ động để thiết kế, chế tạo hệ phổ kế đa kênh kỹ thuật số và thuật toán xử lý số liệu thực nghiệm. Chương 2 trình bày các thực nghiệm thiết kế, chế tạo và thử nghiệm các khối điện tử; phát triển phần mềm ứng dụng thu nhận dữ liệu và điều khiển thiết bị. Chương 3 trình bày các kết quả kiểm tra và áp dụng thử nghiệm thực tế các khối điện tử đã chế tạo; tiến hành ghép nối, thử nghiệm các khối điện tử đã chế tạo thành hệ phổ kế độc lập; các kết quả thực nghiệm khảo sát các đặc trưng của hệ phổ kế đã thiết lập của luận án; tiến hành ghép nối kiểm tra và áp dụng thử nghiệm hệ đo nơtron trên kênh thực nghiệm nằm ngang của Lò phản ứng; kết quả kiểm tra và áp dụng chương trình đã phát triển với các nguồn đồng vị ^{60}Co , ^{137}Cs , ^{152}Eu và thảo luận về các kết quả thực nghiệm thu được. Phần kết luận của luận án nêu lên các kết quả chính, các đóng góp mới của luận án, ý nghĩa khoa học và thực tiễn của luận án, đồng thời đề xuất hướng nghiên cứu cần tiếp tục.

Chương 1 VAI TRÒ CHỨC NĂNG CỦA DSP, FPGA VÀ THUẬT TOÁN ĐỂ PHÁT TRIỂN, ỨNG DỤNG THIẾT BỊ ĐIỆN TỬ HẠT NHÂN TRONG GHI-ĐO BỨC XẠ

1.1. Tình hình nghiên cứu, ứng dụng ở trong và ngoài nước

Trên thế giới DSP, FPGA và thuật toán xử lý xung số đã được ứng dụng để phát triển các hệ phổ kế gamma chất lượng cao phục vụ nghiên cứu vật lý hạt nhân thực nghiệm. Tại Viện NCHN, hệ phổ kế gamma triet Compton, hệ phổ kế SACP, hệ phổ kế trùng phùng phục vụ hướng nghiên cứu thực nghiệm về cấu trúc hạt nhân và mật độ mức năng lượng đã được xây dựng và đưa vào khai thác có hiệu quả. Việc phát triển thiết bị theo hướng DSP ở chế độ thời gian thực qua ứng dụng FPGA với công cụ VHDL dùng ISE và Max+PlusII đã và đang được nghiên cứu, ứng dụng nhằm nâng cao chất lượng thiết bị ghi-đo bức xạ hạt nhân.

1.2. Vai trò chức năng của DSP và FPGA

DSP là công cụ rất cần thiết và hữu ích ứng dụng trong khoa học-công nghệ để xây dựng thiết bị điện tử hạt nhân. Nhờ ứng dụng DSP và FPGA nên các hệ thiết bị đó có nhiều ưu điểm nổi trội hơn: đa năng, nhanh và hiệu quả khi thu nhận và xử lý dữ liệu, phân tích phổ, mô phỏng tín hiệu. Phương án dùng ngôn ngữ VHDL lập trình, tạo mã nguồn, biên dịch và nạp thiết kế vào dòng FPGA qua ISE-Xilinx, hoặc Max+plus II-Altera đã được chọn để thực hiện đề tài luận án. Kỹ thuật DSP qua công nghệ FPGA cho phép cải thiện các thiết bị về dung lượng bộ nhớ cao, tốc độ xử lý nhanh, tính năng điều khiển mềm dẻo, khả năng nhập/xuất dữ liệu lớn, và cấu hình đo có nhiều tùy chọn ưu việt xử lý qua phần mềm điều khiển.

1.3. Ứng dụng của DSP và FPGA trong thiết bị điện tử

FPGA có thể được sử dụng trong 4 lĩnh vực chính: DSP, tích hợp μC , giao tiếp giữa các lớp thực thể và tái định cấu hình máy tính. Sự phát triển công nghệ vi mạch điện tử thế hệ mới và vai trò của nó trong thiết kế ứng dụng luôn thể hiện nhiều điểm nổi bật. Ưu điểm của hệ thống số đối với phổ học tia gamma được phản ánh trong khả năng thực thi các thuật toán

phức hợp dùng để xử lý tín hiệu. Theo cách tiếp cận này, chất lượng cao nhất của các phép đo đạt được cả ở tốc độ đếm thấp lẫn cao khi dùng các đầu dò bức xạ khác nhau là khả dĩ. Các chức năng chính của hệ phổ kế như lọc và khuếch đại tín hiệu, phát hiện và loại bỏ chồng chập xung, phân tích biên độ và phát ra phổ năng lượng có thể thực thi tốt bằng các thuật toán DSP dùng FPGA nhờ việc xác định các hoạt động khả lập trình, làm tăng đáng kể tính linh động của hệ thống, cho phép tái lập cấu hình và hiệu chỉnh các tham số hoạt động nhưng không can thiệp phần cứng.

1.4. Phương pháp điện tử kỹ thuật số

1.4.1. Phương pháp khử tích chập trong cửa sổ động (MWD) thực hiện thuật toán DSP

Để giảm độ phân giải do các hiệu ứng bẫy điện tích, độ hụt biên độ, độ phân giải nghèo ở tốc độ đếm cao, khả năng bất ổn định nhiệt với phép đo thời gian dài, nâng tỷ số S/N trong hệ phổ kế gamma, một phương pháp kỹ thuật số hiện đại thực thi các bộ lọc tạo dạng xung là MWD được đề cập. Sự kiện bức xạ bất kỳ khi tương tác với đầu dò luôn sinh lượng điện tích tỷ lệ với năng lượng bị hấp thụ, điện tích đó tạo nên tín hiệu *bậc* ở ngõ ra tiền khuếch đại (PA), $U_P(t)$, được mô tả bởi tích chập giữa chức năng phân bố điện tích $g(t)$ với đáp ứng xung của PA, $f(t)$:

$$U_P(t) = \int_{-\infty}^{+\infty} g(\tau) f(t - \tau) d\tau. \quad (1.1)$$

Trong miền số khi lượng tử hóa tín hiệu PA bởi bộ A/D, tích phân của nhân chập trở thành tổng của tích chập chịu quan hệ tựa nhân quả, với i là dòng tức thời ứng với mẫu dòng $U_P(i)$ xuất từ bộ A/D:

$$U_P(i) = \sum_{j=z}^i g(j) f(i - j); \quad \forall i > z. \quad (1.6)$$

Tập các pt. (1.6) có thể giải được nhờ ma trận $\{g\}_{(z, z+M)}$, có M phần tử liên kết cửa sổ $(z, z+M)$ hay tương đương $(n-M, n)$. Sau khi cộng các phần tử của ma trận, điện tích toàn phần thu được trong cửa sổ:

$$G(n) = \sum_{i=z}^{z+M} g(i) = \sum_{i=n-M}^n g(i); \quad \forall n = z + M. \quad (1.7)$$

Khi chỉ số i đạt tới giới hạn phải của cửa sổ, điện tích toàn phần $G(n=z+M)$ trong cửa sổ $(z, z+M)$ được trích xuất. Do đó, đối với bất kỳ cửa sổ nào

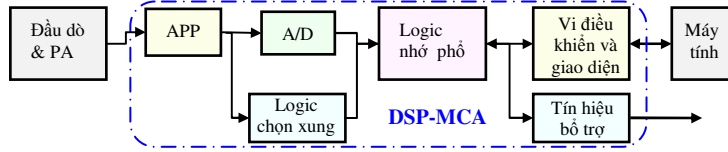
khác được dịch chuyển bởi một chu kỳ lấy mẫu tương ứng với cửa sổ trước thì diện tích toàn phần sẽ bằng:

$$G(n) = \sum_{j=n-M}^n g(j) = U(n) - U(n-M) + (1-k) \sum_{j=n-M}^{n-1} U(j). \quad (1.9)$$

với mọi $n > z+M$. Đó chính là thuật toán của phương pháp MWD.

1.4.2. Phương pháp thiết kế bộ ghi-đo và xử lý tín hiệu bằng DSP

Thay cho bộ hình thành xung kiểu tương tự (APS), phương pháp thiết kế bộ xử lý xung số (DPP)-còn gọi là bộ DSP-MCA chất lượng cao được trình bày trong hình 1.6 gồm: bộ tiền lọc (APP), bộ biến đổi A/D, bộ tạo



Hình 1.6: Cấu trúc của bộ xử lý xung số (DPP).

dạng xung số (DPS) có các kênh chậm-nhanh, logic chọn lựa xung và bộ nhớ phổ, mạch hồi phục đường cơ bản (BLR), chống chồng chập (PUR), khóa xóa và phân biệt thời gian tăng (RTD), bộ μC và giao diện USB.

1.4.3. Thuật toán DSP dùng trong thiết kế bộ ghi-đo bức xạ

Để xây dựng được bộ DPP, các thuật toán đệ quy cho phép hình thành và xử lý xung theo thời gian thực trong các phép đo chiều cao xung được đề cập. Các thuật toán này chủ yếu dựa vào các bộ làm chậm (DL), bộ cộng/trừ (ACC), bộ nhân (MUL); thực chất là tạo ngõ ra dạng hình thang và điều khiển thuần số các tham số hình thành tín hiệu.

1.4.3.2. Bộ tạo dạng xung số (DPS) hình thang

Thuật toán đệ quy biến đổi xung hàm mũ được số hóa $v(n)$ sang xung hình thang cân $s(n)$ được cho như sau:

$$d^{k,l}(n) = v(n) - v(n-k) - v(n-l) + v(n-k-l), \quad (1.10)$$

$$p(n) = p(n-1) + d^{k,l}(n), \quad n \geq 0, \quad (1.11)$$

$$r(n) = p(n) + M d^{k,l}(n), \quad (1.12)$$

$$s(n) = s(n-1) + r(n), \quad n \geq 0, \quad (1.13)$$

ở đó $v(n)$, $p(n)$, và $s(n)$ bằng zero với $n < 0$. Tham số M chỉ phụ thuộc vào τ

là thời hằng phân rã của xung hàm mũ và chu kỳ lấy mẫu T_{clk} của bộ số hóa và được cho bởi:

$$M = [\exp(T_{clk} / \tau) - 1]^{-1}. \quad (1.14)$$

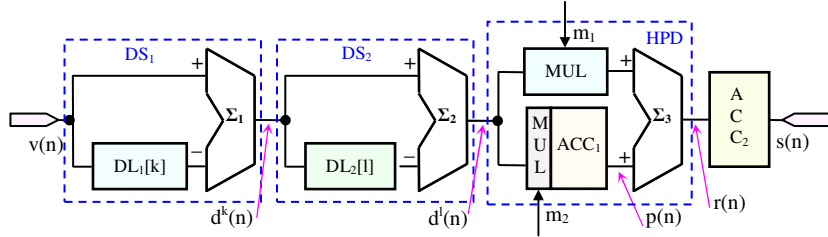
Pt. (1.10) là chuỗi hai thủ tục cho bởi tập phương trình:

$$d^k(n) = v(n) - v(n-k), \quad (1.15)$$

$$\text{và } d^{k,l}(n) = d^k(n) - d^k(n-l). \quad (1.16)$$

Đơn vị thực thi thuật toán của pt. (1.15) hoặc pt. (1.16) là bộ *trừ-làm chậm* (DS). Thuật toán cho bởi pt. (1.10) thực thi được bằng cách nối tiếp hai đơn vị DS lần lượt có độ sâu k và l . Khoảng thời gian của sườn tăng (giảm) ở dạng hình thang được cho bởi giá trị k và l nhỏ hơn ($\min(k, l)$) và độ rộng khe đỉnh phẳng hình thang bằng $\text{abs}(l - k)$. Thuật toán được xác định bởi các pt. (1.11) và (1.12) sẽ khử tích chập đáp ứng xung của bộ lọc cao qua CR (gọi là HPD). Nói cách khác, nếu xung hàm mũ được lấy mẫu có thời hằng phân rã τ áp tới ngõ vào của đơn vị này, đáp ứng xung là tín hiệu bậc và bộ cộng lũy tiến thực hiện thuật toán được cho bởi pt. (1.13).

Khi sử dụng các thuật toán vừa diễn đạt trên, cấu hình thực thi bộ DPS hình thang/tam giác được hình thành. Sơ đồ bộ DPS hình thang/tam giác được biểu diễn trong hình 1.7.



Hình 1.7: Sơ đồ bộ DPS tam giác/hình thang.

1.4.4. Biến đổi A/D dựa trên phép khử tích chập MWD

Biến đổi A/D dựa trên phép khử tích chập trong cửa sổ động ở đó các tham số bộ lọc, chức năng tốc độ-tập âm được biểu diễn theo mô hình tương đương kiểu thống kê qua các máy phát DNL, INL và sai số lượng tử hóa dùng ADC nhanh cũng được đề cập đến.

1.4.5. Phương pháp liên kết cổng logic dùng vi mạch FPGA trong môi trường Max+Plus II

Phương pháp liên kết cổng logic dùng vi mạch FPGA trong môi trường Max+Plus II với dòng EPM7160E được trình bày với các thủ tục chính: hình thành dự án và các điều kiện ban đầu của thiết kế, xử lý dự án, tạo tập tin thiết kế đồ họa, biên dịch và nạp dữ liệu vào vi mạch đặc thù. Kết quả, FPGA chứa toàn bộ nội dung thiết kế và hoạt động như bộ μC .

1.6. Thuật toán xử lý số liệu thực nghiệm

Các thuật toán xử lý số liệu thực nghiệm theo Ortec và Genie cho phép tính toán định lượng các đại lượng vật lý liên quan đến phổ gamma thu được từ các khối điện tử chức năng được thiết kế-chế tạo trong luận án.

Chương 2 THIẾT KẾ, CHẾ TẠO CÁC KHỐI ĐIỆN TỬ CHỨC NĂNG CHO HỆ GHI-ĐO BỨC XẠ GAMMA VÀ NƠTRON

2.1. Thiết kế, chế tạo các bản mạch dùng FPGA và DSP ghép PC

2.1.1. Thiết kế-chế tạo khối FPGA-MCA8K

Khối FPGA-MCA8K được thiết kế-chế tạo bằng phương pháp liên kết cổng logic trong môi trường Max+PlusII, Altera, ở đó vi mạch EPM7160E thuộc họ MAX7000 loại CMOS với tốc độ 5 ns đóng vai trò bộ xử lý trung tâm. Khối được chế tạo nhờ kết hợp hai khối: FPGA-ADC8K dùng vi mạch AD7899 có thời gian biến đổi 2.2 μs và khối FPGA-MCD8K, trình ứng dụng thu nhận dữ liệu được phát triển theo ngôn ngữ VC++ trên nền Windows XP. Phần biến đổi tương tự của khối A/D bao gồm mạch đệm và lập lại tín hiệu ngõ vào, kéo dài xung nhờ quá trình nạp-xả điện tích qua tụ nhớ C lúc thỏa cửa sổ giới hạn bởi ngưỡng dưới (LL) và trên (UL). Khi tương quan logic hỏi-đáp giữa hai phía ADC và MCD theo nguyên tắc phân nhịp được đáp ứng, chu trình biến đổi bắt đầu và kết quả được lưu vào bộ nhớ ngoài có dung lượng đủ lớn để hình thành phổ.

2.1.1c. Đặc trưng chính của khối FPGA-MCA 8k đã chế tạo

Khối FPGA-MCA8K giao diện máy tính qua cổng song song (LPT); độ phân giải: 8192 kênh; thời gian biến đổi: 2.2 μs ; độ phi tuyến tích phân

$INL_{FPGA-MCA8K} \approx 0.607\%$; độ phi tuyến vi phân $DNL_{FPGA-MCA8K} \approx 1.27\%$; dung lượng cực đại trên một kênh: 16777215 số đếm; thời gian đo tối đa: 65535 giây; các xác lập ngưỡng dưới và trên cho ADC được chọn bằng phần mềm; ngõ vào nhận xung đơn cực, dương, biên độ từ $0 \div 10\text{ V}$; chương trình thu nhận MCANRI viết bằng VC++ trên nền Windows XP.

2.1.2. Thiết kế-chế tạo khối DSP-MCA1K dùng FPGA

Khối DSP-MCA1K được thiết kế-chế tạo lần đầu tiên tại Viện NCHN bằng phương pháp DSP qua ứng dụng FPGA dùng ngôn ngữ VHDL trong môi trường ISE 9.2i với bản mạch Spartan 3E, Xilinx. Bằng ngôn ngữ VHDL, bộ nhớ kép (DPRAM), ROM và bộ CPU được hình thành trong FPGA; trình ứng dụng thu dữ liệu được viết bằng ngôn ngữ LabView.

2.1.2.2. Các thành phần vi mạch trong thực thể

Bản mạch Spartan 3^E cho phép hình thành DPRAM trong thực thể FPGA XC3S500, và từ đó khắc phục được hạn chế khó giải quyết trong điện tử tương tự: giảm nhiễu giữa các liên kết bằng vi mạch rời, thời gian chết của thiết bị rất nhỏ do tốc độ thực hiện nhanh. Các thành phần chính của thiết kế gồm: máy phát xung chuẩn 1 Hz dùng để đồng bộ hoạt động của thiết bị theo nhịp 1s; bộ kết nối vào/ra S3E_IO cho phép FPGA giao tiếp với bộ biến đổi A/D và các thành phần chức năng nằm trong bản mạch Spartan 3^E để hình thành phổ kế 1 K; bộ phát hiện đỉnh có chức năng dò đỉnh khi lấy mẫu ADC; máy phát xung tam giác được hình thành bên trong FPGA để kiểm tra thiết bị; chốt dữ liệu 16 bit để định vị địa chỉ cho bộ nhớ kép trong chu trình đọc; bộ biến đổi BCD hiển thị kết quả bằng màn hình tinh thể lỏng; bộ chọn ký tự ASCII cho phép chọn lựa chế độ hiển thị kết quả theo chế độ quét ma trận (cột, hàng); bộ đệm bảo vệ LCD và tránh ngắn mạch tuyến dữ liệu nội bộ; bộ nhớ trong DPRAM 1024 K x 16 bit để chứa phổ; cổng truyền-nhận dữ liệu RS-232 cho phép kết nối máy tính nhằm điều khiển thu nhận và xử lý kết quả; bộ cộng đầy 8 bit để viết nội dung sự kiện vào các ô nhớ tương ứng trong RAM theo chế độ tăng 1 ở mỗi chu trình, tức mỗi khi tràn 256 số đếm, nội dung ô nhớ sẽ tăng lên 1; các bộ

biến đổi D/A cho phép theo dõi quá trình biến đổi phổ bên trong FPGA khi quan sát bằng thiết bị ngoài.

2.1.2.6. Đặc trưng kỹ thuật của thiết bị chế tạo

Khối DSP-MCA1K có các đặc trưng kỹ thuật như sau: thời gian đặt trước tối đa: 65535 s; số đếm tối đa: 65535; dải đo: 1024 kênh; độ trôi kênh theo thời gian: 1 kênh/12 giờ; bộ nhớ DPRAM trong FPGA: 1 K; giao tiếp PC qua RS232, Baudrate 38400; chương trình ứng dụng thu dữ liệu là LabView; ngôn ngữ thiết kế mạch là VHDL.

2.1.3. Thiết kế, chế tạo khối DSP-MCA8K dùng FPGA

Trong mục 1.4.5 đã trình bày về nguyên lý hệ phổ kế đa kênh dùng DSP. Trên cơ sở đó, khối MCA8K dựa trên DSP qua ứng dụng VHDL được thiết kế-chế tạo. Khối thiết bị gồm các thành phần chức năng: Bộ APP, biến đổi A/D, APS, phát hiện đỉnh và đếm, vi điều khiển, giao diện máy tính và phần mềm ứng dụng thu nhận phổ. Ngoại trừ bộ APP và A/D, các mạch vừa nêu được thiết kế bằng VHDL khi dùng các thuật toán từ tập pt. (1.10) ÷ (1.16), phát triển trong ISE và tích hợp vào dòng FPGA đặc thù XC3S400-PQ208, Xilinx.

2.1.3.8. Các đặc trưng và tham số kỹ thuật của khối DSP-MCA8K

Các đặc trưng kỹ thuật của khối DSP-MCA8K: tín hiệu ngõ vào có biên độ cỡ vài chục mV; tín hiệu ngõ ra bộ APP cực tính dương, biên độ 0 ÷ 2V, được chỉnh P-Z và nối tới ngõ vào ADC nhanh; các hệ số khuếch đại thô lập trình được: 1, 5, 10; hệ số khuếch đại tinh điều khiển bằng phần mềm: (0.75 ÷ 1.24); dạng xung ngõ ra bộ lọc: tam giác/hình thang có sườn dẫn và độ rộng khe đỉnh thay đổi được bằng phần mềm; thời gian đo đặt trước: $1 \div 2^{32}-1$ giây, bước phân giải 1 giây; số đếm lớn nhất trên kênh: $2^{32}-1$; dải đo: 8192 kênh; các độ phi tuyến vi-tích phân: $DNL \approx 1.6\%$ và $INL \approx 1.81\%$; sử dụng hai kênh hình thành xung độc lập để ghi biên độ, phát hiện đỉnh và chống chồng chập, hồi phục đường cơ bản; các mức ngưỡng số được xác lập được bằng trình ứng dụng; dung lượng bộ nhớ chứa phổ: bộ nhớ 32 Kb truy cập hai cổng đồng thời, tích hợp trong FPGA và giao diện

máy tính qua cổng USB; chương trình phần mềm ứng dụng viết bằng LabView trên nền Windows XP.

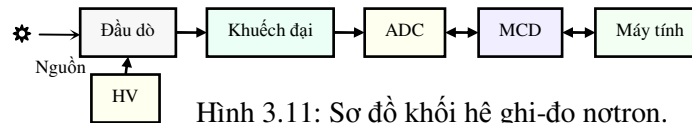
2.3. Thiết kế, chế tạo hệ ghi-đo neutron qua vi điều khiển EZ-USB

Hệ thiết bị đếm neutron được thiết kế, chế tạo gồm: Cao thế 5kV, khối khuếch đại phổ kế, khối ADC8K, khối giao diện MCD8K. Chương trình thu nhận dữ liệu được phát triển bằng LabView và vi chương trình điều khiển μC thuộc dòng EZ-USB được viết bằng trình biên dịch của hãng Ckeil51. Sơ đồ khối của hệ thiết bị được trình bày trong hình 3.11. Hệ giao tiếp PC qua USB ở tốc độ toàn chế độ truyền khối. Hệ được dùng để đếm neutron trên kênh thực nghiệm nằm ngang Lò phản ứng Đà Lạt. Kết quả thu phổ neutron bằng ống đếm ^3He cho thấy thực nghiệm phù hợp với lý thuyết. Đỉnh năng lượng toàn phần 764 keV và hai đỉnh phụ sinh ra do hiệu ứng tương là

proton 573

keV, triton

191 keV.



Hình 3.11: Sơ đồ khối hệ ghi-đo neutron.

2.4. Phát triển chương trình ứng dụng thu nhận dữ liệu và vi chương trình cho hệ ghi đo gamma và neutron

2.4.1. Phát triển chương trình ứng dụng thu nhận dữ liệu MCANRI bằng VC++

Chương trình ứng dụng thu nhận dữ liệu MCANRI đóng gói được phát triển bằng ngôn ngữ hướng đối tượng trên nền Windows XP phục vụ cho hệ phổ kế dùng khối FPGA-MCA8K, có các chức năng: thời gian (sống, thực, DT), thu-xử lý dữ liệu ở chế độ PHA, tính diện tích, thông, chuẩn năng lượng, khớp đỉnh, xác lập ngưỡng, dải đo, tốc độ đếm, v.v....

2.4.3. Phát triển chương trình ứng dụng DSPMCA bằng LabView

Chương trình điều hành và thu nhận số liệu phân tích phổ đa kênh được viết trên LabVIEW được dùng cho các khối DSP-MCA1K, DSP-MCA8K, phổ kế đếm neutron; thực hiện các chức năng: kết nối thiết bị với PC và chuyển các lệnh, dữ liệu giữa PC và thiết bị qua giao diện USB; điều khiển

quá trình thu nhận phổ đa kênh: khởi động, dừng đo, đặt thời gian đo, lưu và hiển thị phổ, xử lý trở, số đếm/kênh, co giãn phổ, chuẩn năng lượng,

2.4.4. Phát triển chương trình vi điều khiển bằng C Keil51

Vi chương trình được phát triển theo trình biên dịch Ckeil 51 sẽ điều khiển μC dòng EZ-USB giao tiếp PC, truyền nhận dữ liệu, liên kết với trình LabView điều khiển ngoại vi.

Tóm lại, trong chương hai phần cứng được thiết kế gồm: các khối FPGA-MCA8K, DSP-MCA1K, DSP-MCA8K, phổ kế hợp bộ đếm neutron. Phần mềm phát triển gồm: MCANRI theo VC++, DSPMCA theo LabView, vi chương trình bằng Ckeil51, VHDL để logic hóa các thuật toán DSP dùng FPGA nhờ ISE-Xilinx và Max+PlusII-Altera. Tất cả sản phẩm đã chế tạo được dùng trong thực nghiệm ghi-đo bức xạ ion hóa.

Chương 3 KẾT QUẢ THỰC NGHIỆM VÀ THẢO LUẬN

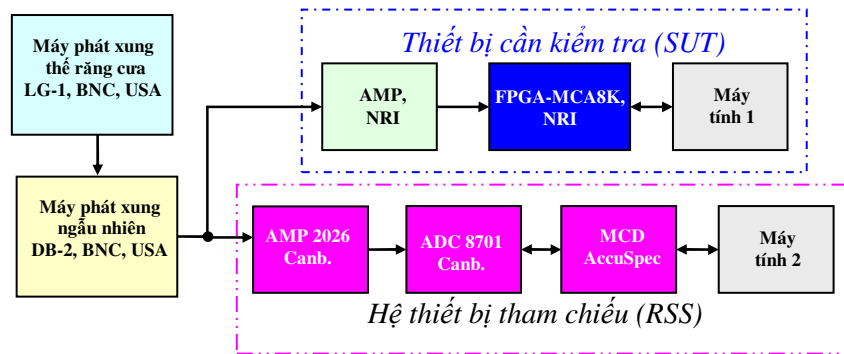
Các thành phần được kiểm tra chất lượng gồm: khối FPGA-MCA8K, khối DSP-MCA1K, khối DSP-MCA8K, hệ phổ kế hợp bộ MCA. cấu hình thí nghiệm có hệ cần kiểm tra (SUT); hệ xác lập tham chiếu (RSS).

3.3. Thí nghiệm kiểm tra các tham số đặc trưng kỹ thuật của thiết bị

3.3.2. Kiểm tra độ phi tuyến vi phân (DNL)

3.3.2.1. Độ phi tuyến vi phân của khối FPGA-MCA8K ($DNL_{FPGA-MCA8K}$)

Cấu hình thí nghiệm như hình 3.3. Hệ SUT gồm khối AMP-NRI, FPGA-MCA8K, máy tính, chương trình MCANRI; hệ RSS gồm AMP

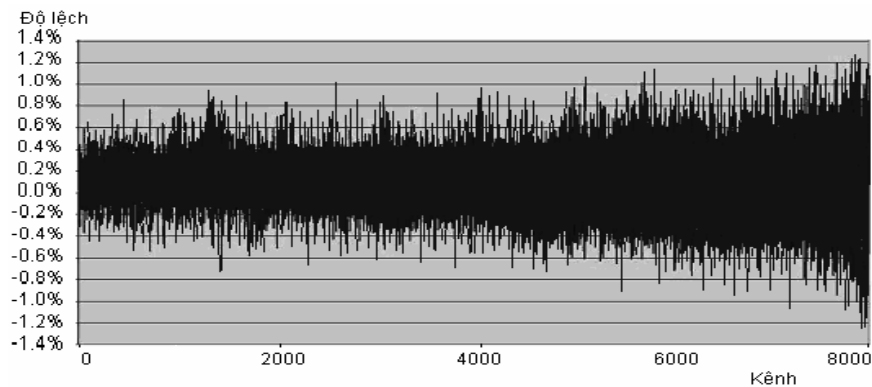


Hình 3.3: Cấu hình đo độ phi tuyến vi phân $DNL_{FPGA-MCA8K}$.

2026, ADC 8701, MCA Accuspec V1.1, phần mềm MCA Series 100 và PC. Máy phát xung răng cưa LG-1 BNC, Berkeley, USA điều khiển biên độ tín hiệu 10 V trong máy phát xung ngẫu nhiên DB-2 BNC, Berkeley, USA có mặt tăng 25 ns và sườn giảm 50 μ s, chu kỳ quét 1 giây; $\tau = 4 \mu$ s, $t_{pr} = 36000$ giây. Thu dữ liệu ở chế độ PHA. Kết quả được trình bày trong bảng 3.1. Hình 3.5 biểu diễn độ phi tuyến vi phân của FPGA-MCA8K.

Bảng 3.1: Kết quả kiểm tra $DNL_{FPGA-MCA8K}$ và $DNL_{MCAaccuspec}$.

T	Thiết bị	t_{do}	$V_{vào}$	Chế	t_{AMP}	Dải	Số	DT	DNL
T		(s)	(mV)	độ	μ s	kênh	đếm	(%)	(%)
1	RSS _{Accuspec}	36000	10^4	PHA	4	8192	179154	0.47	1.03
2	SUT _{FPGA-8K}	36000	10^4	PHA	4	8192	178972	0.56	1.27



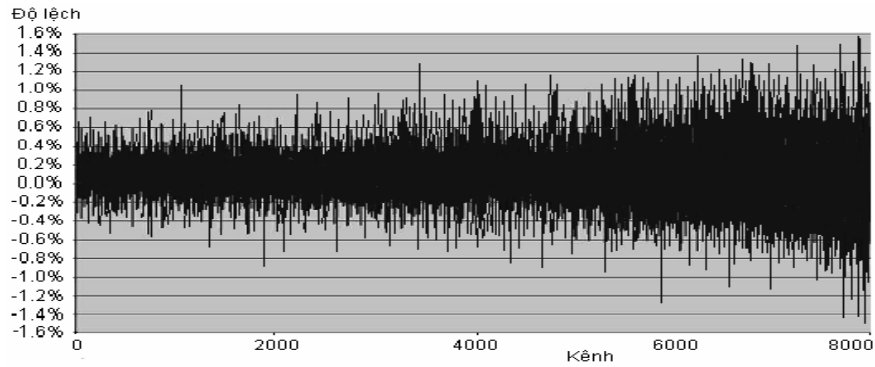
Hình 3.5: Độ phi tuyến vi phân của khối FPGA-MCA8K.

3.3.2.2. Độ phi tuyến vi phân của khối DSP-MCA8K ($DNL_{DSP-MCA8K}$)

Tương tự như trên, cấu hình thí nghiệm kiểm tra DNL của khối DSP-MCA8K được thiết lập, ở đó hệ SUT gồm khối DSP-MCA8K và PC trong khi hệ RSS là DSPEC jr, Ortec ghép PC. Ngõ ra của DB-2 biến thiên từ 0 đến 2000 mV, $\tau = 6.4 \mu$ s, thời gian đo 36000 giây. DSPMCA.exe ở chế độ PHA để thu dữ liệu từ hệ SUT và Gamma Vision32 cho DSPEC. Kết quả kiểm tra độ phi tuyến vi phân của SUT_{DSP-8K} và RSS_{DSPEC} được cho trong bảng 3.2 và độ phi tuyến $DNL_{DSP-MCA8K}$ được biểu diễn trong hình 3.8.

Bảng 3.2: : Kết quả kiểm tra $DNL_{DSP-MCA8K}$ và DNL_{DSPEC} .

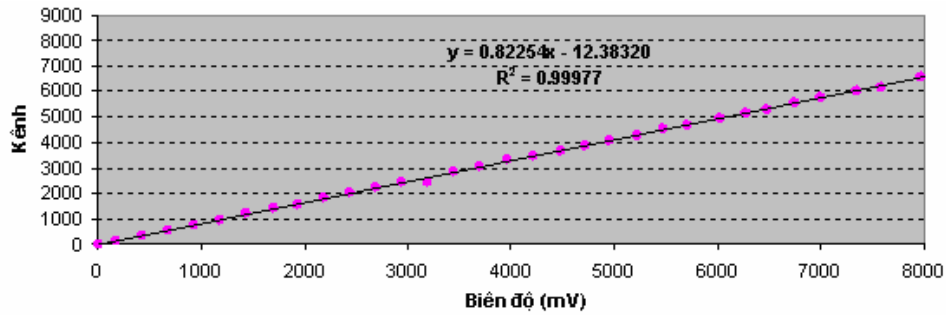
TT	Thiết bị	t_{do} (s)	$V_{vào}$ (mV)	Chế độ	t_{AMP} μs	Dải kênh	Số đếm	DT (%)	DNL (%)
1	RSS_{DSPEC}	36000	2×10^3	PHA	6.4	8192	179605	0.21	1.01
2	SUT_{DSP-8K}	36000	2×10^3	PHA	6.4	8192	178617	0.75	1.57



Hình 3.8: Độ phi tuyến vi phân của khối DSP-MCA8K.

3.3.3. Kiểm tra độ phi tuyến tích phân (INL)

3.3.3.1. Độ phi tuyến tích phân của khối FPGA-MCA8K



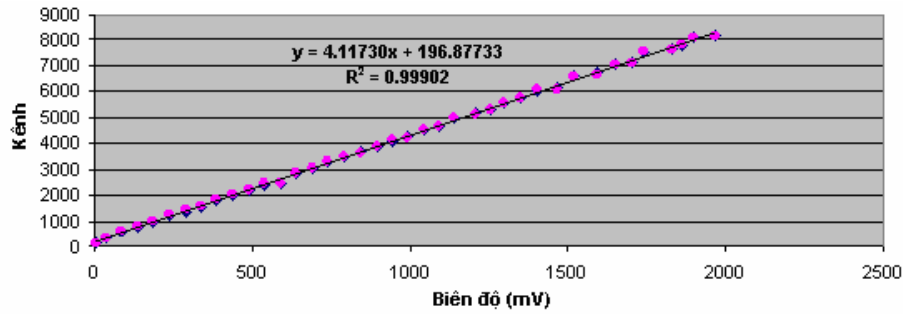
Hình 3.10: Đường biểu diễn độ phi tuyến tích phân của khối FPGA-MCA8K.

Bảng 3.4: Độ phi tuyến tích phân của hai hệ hợp bộ khi kiểm tra.

Số TT	INL%	Giá trị
1	Hệ dùng MCA8K, Accuspec	0.15%
2	Hệ dùng FPGA-MCA8K	0.607%

Kết quả kiểm tra độ phi tuyến tích phân của khối FPGA-MCA8K và MCA8K-Accuspec được trình bày trong bảng 3.4. Hình 3.10 biểu diễn độ phi tuyến tích phân của khối này.

3.3.3.2. Độ phi tuyến tích phân của khối DSP-MCA8K ($INL_{DSP-MCA8K}$)



Hình 3.12.: Đường biểu diễn độ phi tuyến tích phân của khối DSP-MCA8K.

Bảng 3.6: Độ phi tuyến tích phân INL_{DSPEC} và $INL_{DSP-MCA8K}$.

Số TT	$INL\%$	Giá trị
1	Hệ RSS dùng DSPEC, Ortec	0.091%
2	Hệ SUT dùng DSP-MCA8K, NRI	1.807%

Kết quả kiểm tra độ phi tuyến tích phân của khối DSP-MCA8K và DSPEC được trình bày trong bảng 3.6. Hình 3.12 biểu diễn độ phi tuyến tích phân của khối này.

3.3.4. Kiểm tra độ chuẩn xác về số đếm và tần suất dữ liệu vào-ra

3.3.4.1. Độ chuẩn xác về số đếm và tần suất dữ liệu vào-ra của khối FPGA-MCA8K

Bảng 3.7: Số đếm tích lũy theo $t_{thực}$ và độ lệch số đếm giữa hai hệ đo.

Phép đo	Thời gian đo	Tần số phát	Số đếm C_r trong RSS	Số đếm C_t trong SUT	Độ lệch số đếm
1	$t_{pr} = 10000$ s	$f_{min} = 90$ Hz	899075	898526	$D_1\% = 0.0611$
2	$t_{pr} = 10000$ s	$f = 500$ Hz	4975124	4973392	$D_2\% = 0.0348$
3	$t_{pr} = 10000$ s	$f = 1$ kHz	9938031	9930125	$D_3\% = 0.0796$
4	$t_{pr} = 10000$ s	$f_{max} = 300$ kHz	2954453016	16777215	$D_4\% = ?$

Kết quả tích lũy số đếm theo thời gian và độ lệch số đếm giữa hai hệ $SUT_{FPGA-MCA8K}$ và $RSS_{MCA8K-Accuspec}$ được trình bày ở bảng 3.7.

3.3.4.2. Độ chuẩn xác về số đếm và tần suất dữ liệu vào-ra của khối DSP-MCA8K

Kết quả tích lũy số đếm theo thời gian và độ lệch số đếm giữa hai hệ $SUT_{DSP-MCA8K}$ và RSS_{DSPEC} được trình bày ở bảng 3.8 .

Bảng 3.8: Số đếm tích lũy theo thời gian thực và độ lệch số đếm của hai khối DSP-MCA8K và DSPEC.

Phép đo	Thời gian đo	Tần số phát	Số đếm C_r trong RSS	Số đếm C_i trong SUT	Độ lệch số đếm
1	$t_{pr} = 10000$ s	$f_{min} = 90$ Hz	899117	898645	$D_1\% = 0.0525$
2	$t_{pr} = 10000$ s	$f = 500$ Hz	4981272	4978156	$D_2\% = 0.0626$
3	$t_{pr} = 10000$ s	$f = 10$ kHz	99383571	99305863	$D_3\% = 0.0782$
4	$t_{pr} = 10000$ s	$f_{max} = 400$ kHz	3967523385	3963208617	$D_4\% = 0.1087$

3.3.5. Kiểm tra Khi bình phương (χ^2)

Khi xử lý các xung ngẫu nhiên từ nguồn bức xạ, chất lượng đếm của hệ $SUT_{FPGA-MCA8K}$ và $RSS_{MCA8K-Accuspec}$ được đánh giá qua χ^2 . Với 10 phép lấy mẫu thì số bậc tự do là $N - 1 = 9$, các giá trị χ^2 thể hiện trong bảng 3.9b.

Bảng 3.9b: Bảng so sánh kết quả χ^2 của hai hệ SUT và RSS.

Số TT	Hệ đo MCA	Giá trị
1	χ^2_{SUT}	8.6508518
2	χ^2_{RSS}	7.4522173

3.4. Thí nghiệm kiểm tra các đặc trưng vật lý của thiết bị ghi-đo bức xạ

Sau khi đã kiểm tra đặc trưng kỹ thuật chính của các khối thiết bị, tiếp tục khảo sát các đặc trưng cơ bản của hệ phổ kế dùng đầu dò HPGe: đường chuẩn năng lượng, đường chuẩn hiệu suất, v.v..., dùng nguồn chuẩn: ^{152}Eu .

3.4.1. Chuẩn năng lượng và tính diện tích đỉnh quang

Hệ phổ kế đo bức xạ gamma phát từ nguồn ^{152}Eu được xác lập gồm đầu dò bán dẫn C2019-Intertechniques, HV dương 2500 V, độ phân giải 2.05

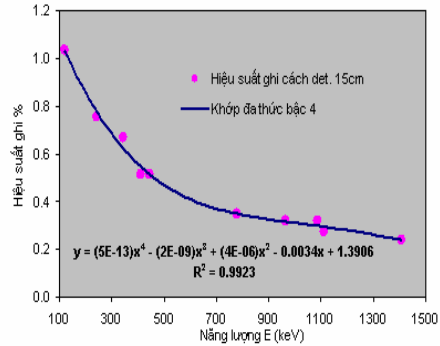
keV tại đỉnh 1332.5 keV của ^{60}Co ; AMP 2026, Canberra; FPGA-MCA8K và máy tính. Chương trình ứng dụng là MCANRI. Đường chuẩn năng lượng bậc hai theo kênh C:

$$E(\text{keV}) = 0.1761 + 0.1832 * C - 0.000000002 * C^2,$$

Sau khi chuẩn năng lượng, tiến hành đánh dấu sáng các đỉnh quan tâm; lúc đó tính được diện tích đỉnh, phong, tổng số đếm của đỉnh, độ lệch chuẩn và độ phân giải năng lượng (keV) tương ứng.

3.4.2. Xây dựng đường cong hiệu suất

Đường hiệu suất của đầu dò HPGe với dải năng lượng dưới trung bình từ 122 keV đến 1408 keV, dùng nguồn ^{152}Eu cách đầu dò 15 cm. Sau khi tính được hiệu suất thực nghiệm $\varepsilon(E)$, tiến hành lấy loga $\varepsilon(E)$, đường Đường chuẩn hiệu suất ghi đầu dò theo năng lượng



được trình bày trong hình 3.16.

Hình 3.16: Đường chuẩn hiệu suất ε theo E.

3.5. Đo phổ gamma với nguồn

^{60}Co và ^{137}Cs

3.5.1. Đo phổ thực nghiệm với khối DSP-MCA8K chế tạo lần 1

Bảng 3.12: Giá trị thực nghiệm của các đỉnh gamma trong hai hệ RSS và SUT.

Tham số Thiết bị	Tđo thực (s)	Hoạt độ (kBq)	Diện tích đỉnh	Phông	Tổng số đếm đỉnh	Kênh	Số đếm tâm đỉnh	Độ phân giải (keV)
MCA8K, NRI	1027	370	110026	11823	121849	1412	17257	8.35
DSPEC	1027	370	110469	11709	122178	1409	17304	2.34

Đầu dò HPGe C2019 của hãng Intertechiques, độ phân giải 2.34 keV tại đỉnh 1332.5 keV của ^{60}Co có hoạt độ nguồn 370 kBq, nguồn ^{137}Cs có hoạt độ là 317 kBq cách đầu dò 15 cm. Cao thế +2500 V. Sử dụng DSPEC Ortec trong hệ RSS, khối DSP-MCA8K để thu dữ liệu bằng chương trình DSPMCA. Kết quả thu từ hai hệ đo RSS và SUT được trình bày trong bảng 3.12, cho thấy độ phân giải thấy FWHM của khối DSP-MCA8K tồi hơn $\text{FWHM}_{\text{DSPEC}}$ xấp xỉ 3.57 lần.

3.5.2. Đo phổ thực nghiệm với khối DSP-MCA8K chế tạo lần 2

Cấu hình thí nghiệm đo phổ gamma dùng khối DSP-MCA8K chế tạo lần hai gồm đầu dò HPGe GEMP4-Ortec có độ phân giải năng lượng là 2.76 keV tại đỉnh 1332.5 keV của ^{60}Co , hoạt độ 370 kBq và ^{137}Cs với hoạt độ 317 kBq, hai nguồn đồng vị đặt cách đầu dò 15 cm, cao thế 3000 V, thời gian đo 2000 s. Sử dụng phổ kế DSPEC làm RSS và khối DSP-MCA8K làm SUT. Kết quả thu được: độ phân giải của đỉnh 1332.5 keV trong hệ Ortec là 2.76 keV, hệ DSP-MCA8K là 3.92 keV. Tuy kết quả này đã được cải thiện so với lần thứ nhất nhưng vẫn còn tồi hơn hệ chuẩn đến 1.16 keV. Tỷ số đỉnh trên phông của đỉnh 1332.5 keV là 10.92.

3.7. Hệ đếm neutron dùng trên kênh ngang

Có hai hệ đếm neutron đã được chế tạo. Hệ đầu tiên được xây dựng và dùng trên kênh số 4 để đo neutron phục vụ phát triển phương pháp đo tiết diện neutron toàn phần sử dụng ống đếm ^3He . Tiến hành đo thực nghiệm tiết diện neutron toàn phần của ^{238}U trên các dòng neutron phin lọc 55 keV và 144 keV tại kênh thực nghiệm số 4 Lò Đà Lạt. Kết quả thu được có sự phù hợp tốt với kết quả của các tác giả khác và số liệu đánh giá từ thư viện số liệu hạt nhân ENDF/B-6.8. Hệ thứ hai đo phổ chiều cao xung neutron cũng trên kênh số 4, Lò phản ứng hạt nhân Đà Lạt. Kết quả thu được cho thấy về mặt định tính phổ thực nghiệm phù hợp với lý thuyết, trong phổ neutron có đỉnh năng lượng toàn phần 764 keV và hai đỉnh phụ sinh ra do hiệu ứng tường là proton 573 keV và triton 191 keV.

KẾT LUẬN

1. Các công việc đã làm được trong luận án

Tóm lại, luận án đã tiến hành những công việc cụ thể như sau:

- Nghiên cứu các phương pháp ứng dụng xây dựng thiết bị điện tử hạt nhân bằng công nghệ điện tử đương đại là mảng các phần tử logic khả lập trình (FPGA) dựa trên kỹ thuật xử lý tín hiệu số (DSP) có kết hợp cách xử lý xung tương tự. Các phương pháp hữu hiệu nhất đã được tập trung khai thác để xây dựng thiết bị theo mục tiêu cụ thể đề ra trong luận án là: phương pháp khử tích chập trong cửa sổ động (MWD) cho phép tái cấu trúc điện tích của sự kiện bức xạ bất kỳ khi tương tác với môi trường đầu dò; phương pháp xử lý tín hiệu trước tầng lượng tử hóa (APP) để tạo môi trường tương thích giữa miền tương tự biến thiên theo thời gian có đáp ứng xung vô hạn (IIR) với miền số bất biến theo thời gian có đáp ứng xung hữu hạn (FIR); phương pháp hình thành và xử lý xung số (DPP) dùng các bộ lọc thấp qua (LPF), cao qua (HPF), bộ khử tích chập nhờ lọc cao qua (HPD) để biến đổi thông tin năng lượng thành tín hiệu hình thang, bộ hồi phục đường cơ bản (BLR) kiểu số để ổn định phổ, bộ cộng-trừ và nhân tích lũy để tạo logic phát hiện đỉnh có loại chống chập xung, v.v... Trên cơ sở đó, các khối thiết bị điện tử số đã hình thành khi kết hợp phần mềm điều khiển phần cứng.
- Về phần cứng, luận án đã thiết kế-chế tạo và đưa vào ứng dụng thực tiễn các thiết bị như sau: khối FPGA-MCA8K, khối DSP-MCA1K, khối DSP-MCA8K và hệ phổ kế đa kênh hợp bộ khi kết hợp các khối HV 5kV-NRI, AMP-NRI kiểu tam giác. Tất cả thiết bị đều kết nối được máy tính qua các cổng giao diện sẵn dùng LPT, RS232, USB nhờ μ C dòng PIC hoặc EZ.
- Về phần mềm, luận án đã phát triển các chương trình ứng dụng thu dữ liệu gồm MCANRI (theo VC++), MCADSP (theo LabView); vi chương trình điều khiển giao tiếp; chương trình số hóa tín hiệu trong FPGA bằng ngôn ngữ mô tả phần cứng mạch tích hợp tốc độ rất cao (VHDL) trong môi trường phần mềm tích hợp ISE-Xilinx và thiết kế dự án trong FPGA bằng phương pháp liên kết logic trong môi trường tích hợp Max+plusII-Altera.

- Ứng dụng phương pháp xử lý số liệu để kiểm tra các tham số đặc trưng kỹ thuật của thiết bị đã chế tạo và tính toán các đại lượng vật lý cơ bản trong phổ kế thực nghiệm đo bức xạ ion hóa.

2. Điểm mới của luận án

- Nghiên cứu, ứng dụng thành công các phương pháp xử lý xung kiểu số (DPP), xử lý hình thành xung tương tự (ASP) từ các đầu dò ghi-đo bức xạ và quá trình lượng tử hóa tín hiệu qua biến đổi A/D trong việc phát triển các khối điện tử chức năng và hệ phổ kế đo gamma, neutron.
- Thiết kế-chế tạo và đưa vào hoạt động các khối thiết bị điện tử chức năng và hệ phổ kế MCA theo công nghệ vi mạch tiên tiến FPGA kiểu DSP phục vụ nhu cầu trong nước.
- Phát triển được mã nguồn VHDL xây dựng các bộ xử lý tín hiệu đa kênh 1 K và 8 K bằng các thuật toán xung số qua FPGA nhờ ISE và Max+PlusII.
- Phát triển được chương trình ứng dụng trên nền Windows bằng các ngôn ngữ hướng đối tượng C++, LabView để thu nhận dữ liệu-xử lý phổ; vi chương trình cho μC để kết nối thiết bị ngoại vi với PC qua các cổng giao diện nối tiếp (RS-232, USB) và song song (LPT).

3. Ý nghĩa khoa học và thực tiễn

Ý nghĩa khoa học của luận án là góp phần mở ra hướng nghiên cứu thiết kế và chế tạo trong nước các thiết bị ghi-đo bức xạ bằng các công nghệ vi mạch tiên tiến tại Việt Nam trong lĩnh vực khoa học về điện tử hạt nhân. Để khắc phục các vấn đề khó giải quyết bằng điện tử truyền thống như suy giảm độ phân giải, hụt biên độ, trôi phổ do nhiệt, nhiễu ký sinh trong hệ phổ kế, việc ứng dụng một phương pháp kỹ thuật số hiện đại để xây dựng và phát triển thiết bị theo hướng DSP qua FPGA với ngôn ngữ VHDL nhờ ISE hoặc Max+PlusII có khả năng nâng cao chất lượng thiết bị ghi-đo bức xạ hạt nhân là điều tất yếu. Đến nay, chưa có một phương pháp khoa học-kỹ thuật nào hữu hiệu hơn để thay thế vai trò đặc biệt của DSP-FPGA trong nghiên cứu, xây dựng thiết bị điện tử hạt nhân đáp ứng những yêu cầu bức thiết về nghiên cứu vật lý hạt nhân thực nghiệm trên thế giới

nói chung và tại Viện NCHN nói riêng. Ý nghĩa thực tiễn của luận án là góp phần nâng cao năng lực về phát triển thiết bị ghi-đo bức xạ để khai thác hiệu quả Lò phản ứng hạt nhân Đà Lạt phục vụ cho các thí nghiệm nghiên cứu về vật lý hạt nhân, các ứng dụng liên quan và đào tạo nguồn nhân lực cho Viện Nghiên cứu hạt nhân nói riêng và chương trình điện hạt nhân của Việt Nam nói chung. Trên thực tế, việc ứng dụng giải pháp được trình bày trong luận án để xây dựng thiết bị đã giúp khai thác có hiệu quả công năng của DSP-FPGA và thuật toán xử lý tín hiệu số, cải thiện thực sự chất lượng thiết bị, góp phần giải quyết tốt hơn các thí nghiệm ghi-đo bức xạ gamma trên các kênh thực nghiệm nằm ngang của Lò phản ứng hạt nhân Đà Lạt.

4. Đề xuất hướng nghiên cứu cần tiếp tục

Hướng nghiên cứu liên quan đến sản phẩm đã xây dựng: Sản phẩm của luận án là các khối điện tử chức năng và hệ phổ kế ghi-đo bức xạ kiểu số. Các kết quả thu được khi dùng thiết kế này cần cải thiện để chất lượng ngày càng tốt hơn, đáp ứng nhu cầu nghiên cứu-ứng dụng thực tế. Vấn đề đầu tiên được đề xuất liên quan đến việc cải thiện cơ chế phần cứng. Cách áp dụng hiện thời để có kết quả cho bộ xử lý xung là chưa nổi trội, chỉ dùng các thanh ghi 16 bit để lưu dữ liệu trung gian. Khi bộ xử lý đọc ngược không đủ nhanh, kết quả sẽ mất. Giải pháp mới là khối FIFO-nhịp đôi được thay thế giữa hai miền xung nhịp trong thiết kế, có đường dẫn dữ liệu bằng bộ lọc hữu hạn và khối logic xử lý các kết quả này. Nhằm cải thiện hiệu suất của chu trình đọc ngược, ngắt được phát ra để trở tới vị trí xuất hiện dữ liệu mới cho bộ xử lý xung, loại tác vụ cuộn và ngăn quá tải trên tuyến trung chuyển dữ liệu. Bên cạnh đó, cơ chế quét biên cần được dùng để dễ xử lý quá trình gỡ rối. Thủ tục cần thiết để quét biên là kết nối các thanh ghi của thiết bị thành chuỗi có ngõ ra nối tiếp tín hiệu chọn tác vụ quét.

Xu hướng khác cho công việc tương lai liên quan tới chất lượng hệ thống thiết bị là thay thế lõi giao thức linh hoạt (IP) đã phát triển. Sắp tới, tác giả dự định bổ sung một số kiểu mẫu xử lý chức năng mới vào thực thể FPGA cũng như các phép đo thực nghiệm để đánh giá khả năng thực hiện

các tiện ích của thủ tục xử lý đa kênh, và từ đó việc sử dụng thực thể FPGA dung lượng đủ lớn vào mục đích này là điều tự nhiên. Tiếp tục nghiên cứu, khảo sát các nguyên nhân đưa tới kết quả tồi về độ phân giải của hệ thiết bị đa kênh MCA 8K đã được thiết kế dựa trên DSP-FPGA và cải tiến thủ tục thiết kế để chế tạo các thành phần chức năng truyền thống không thể thiếu (trước tầng lượng tử hóa) trong các hệ ghi-đo bức xạ nhằm đạt được chất lượng cao hơn.

Hướng nghiên cứu liên quan đến các dự định ứng dụng thực tế: Áp dụng các kết quả của luận án để phát triển khối điện tử có chức năng phân biệt dạng xung nhằm hạn chế sự ảnh hưởng của bức xạ gamma trong phép đo phổ neutron sử dụng đầu dò hợp thể nhảy neutron (NE 213). Áp dụng phương pháp DSP để phát triển thiết bị ghi-đo và xử lý tín hiệu trong các dòng bức xạ từ máy gia tốc. Áp dụng các thuật toán đã thiết lập được trong luận án để phát triển các bộ ghi-đo tích hợp phục vụ trong lĩnh vực y học hạt nhân và trong công tác đào tạo.

5. Một số kinh nghiệm rút ra từ luận án

Để phát triển tốt dự án khi dùng công nghệ FPGA với kỹ thuật DSP nhờ VHDL trong ISE, cần đầu tư nhiều thời gian để thực hiện ý tưởng mới, kể cả giải pháp gỡ rối vấn đề. Việc tiến hành mô phỏng thông qua các tác vụ truy cập những điều kiện ràng buộc (constraints) về thời gian và tuyến dẫn xuất biên dịch là cần thiết. Cách tiếp cận để phát triển thiết kế này là một hợp thể giữa phần mềm và phần cứng. Ý tưởng cơ bản dựa trên kiểu phân chia chức năng phù hợp thành các khối cứng và mềm, ở đó phần cứng cung cấp cơ chế hoạt động của thiết bị và phần mềm diễn đạt cách thâm nhập các cơ chế đó. Kiểu tiếp cận này phát huy hiệu lực tốt khi hoạt động thời gian dài vì nó cho phép sử dụng phần cứng theo nhiều cách khác nhau trong dự án thiết kế. Bên cạnh đó, nên tận dụng các phần mềm được hỗ trợ miễn phí như ISE-Xilinx, Max+Plus II-Altera, kể cả các lõi nguồn mở IP. Thông qua việc thiết kế dự án, kinh nghiệm sử dụng các công cụ này được nâng cao, và hiện nay khi xây dựng các bản mạch dùng trong thí nghiệm

nghiên cứu các hệ thống điện tử đương đại, việc không đầu tư kinh phí để mua bản quyền phần mềm là khả dĩ. Thực tế cho thấy rằng dung lượng FPGA ngày càng tăng, vì vậy nên tích hợp các thành phần thiết bị chức năng thiết kế ngoài vào FPGA để sử dụng thêm hiệu quả tài nguyên này. Hy vọng rằng những ý tưởng và thực tiễn đã trình bày trong luận án sẽ phục vụ như điểm khởi đầu tốt cho giai đoạn kế tiếp đối với các hệ thiết bị hợp thể nhằm khai thác hiệu quả tính năng ưu việt của FPGA-DSP.

DANH MỤC CÔNG TRÌNH CỦA TÁC GIẢ

Công bố ở ngoài nước

1. Pham Dinh Khang, Nguyen Nhi Dien, Dang Lanh, Nguyen Xuan Hai, Pham Ngoc Tuan, Nguyen Duc Hoa, Nguyen An Son, A design configuration of an FPGA-based coincident spectrometry system, Journal of Analytical Sciences, Methods and Instrumentation, Vol. 3 (2013), pp. 158-162.
2. Nguyen Duc Hoa, Dang Lanh, Nguyen An Son, The neutron spectrometry system using ^3He counter, Southeast-Asian Journal of Sciences, Vol. 1, No. 2(2012), pp. 210-214.
3. Dinh Sy Hien, Dang Lanh (1988), Quasi-symmetrical triangular output spectroscopy amplifier, XIII International symposium on Nuclear electronics, Varna, Bulgaria, pp. 353-355.

Công bố ở trong nước

4. Pham Ngoc Tuan, Nguyen Nhi Dien, Dang Lanh, Tuong Thi Thu Huong, Nguyen Van Hung, Nguyen Duc Hoa, Nguyen An Son, DSP-based Spectrometer for γ -ray measurement and detection, Journal of Nuclear Science and Technology, No. 2 (2011), pp. 37-43.
5. Dang Lanh, Tuong Thi Thu Huong, Tran Tuan Anh, Nguyen Nhi Dien, Tran Dinh My Ngoc (2009), μC based neutron counting system used with proportional counter (^3He , BF_3), Journal of Nuclear Science and Technology, No. 1, pp. 41-51.

6. Dang Lanh, Nguyen Nhi Dien, Pham Ngoc Son, Nguyen Van Kien (2006), Design and construction of A 16K Multi-channel data processing unit interfacing to a printer port, Proceedings of the sixth national conference on Nuclear Science and Technology, Dalat, pp. 196-200.
7. Dang Lanh, Nguyen Nhi Dien, Pham Ngoc Son, Phan Nam Anh, Nguyen An Son, Kazuaki Shimizu (2004), Design and construction of FPGA-based Multi-channel data processing card under windows environment, Proceedings of the fifth national conference on Nuclear Science and Technology, HCM city, pp. 27-31.
8. Dang Lanh, Nguyen Nhi Dien, Nguyen Xuan Hai, Nguyen Bach Viet, Pham Ngoc Son, Pham Dinh Khang, Phan Nam Anh (2004), Development of FPGA-based MCA add on card, Proceedings of the fifth national conference on Nuclear Science and Technology, HCM city, pp. 60-63.
9. Vuong Huu Tan, Nguyen Phuoc Xuan, Dang Lanh, The method of total neutron cross section measurements on the filtered beams at Dalat Nuclear Research Reactor, pp. 104-109, Tuyển tập báo cáo đề tài cấp Nhà nước KC-09-08 A (1991-1995).
10. Vương Hữu Tấn, Trần Tuấn Anh, Nguyễn Cảnh Hải, Phạm Ngọc Sơn, Nguyễn Xuân Hải, Hồ Hữu Thắng, Đặng Lành (2006), Xác định cường độ tương đối của các tia gamma tức thời từ phản ứng $^{35}\text{Cl}(n,\gamma)\text{Cl}^{36}$ và $^{48}\text{Ti}(n,\gamma)\text{Ti}^{49}$ trên dòng neutron phin lọc, Tuyển tập báo cáo Hội nghị Khoa học và Công nghệ hạt nhân toàn quốc lần thứ VI, Đà Lạt, tr. 160-164.
11. Vương Hữu Tấn, Phạm Đình Khang, Nguyễn Nhị Điện, Đặng Lành, Nguyễn Xuân Hải (2004), Hệ thống thu thập, xử lý số liệu phản ứng $(n,2\gamma)$, Tuyển tập báo cáo Hội nghị Khoa học và Công nghệ hạt nhân toàn quốc lần thứ V, Tp. HCM, tr. 69-72.
12. Đinh Sỹ Hiền, Đặng Lành, Nguyễn Bách Việt (2000), MCA card dùng cho đầu dò bán dẫn, Tuyển tập báo cáo Hội nghị Vật lý toàn quốc lần thứ III, Đà Lạt, tr. 466-470./.